

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-100917

(P2003-100917A)

(43) 公開日 平成15年4月4日(2003.4.4)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/8247  
27/115  
29/788  
29/792

識別記号

F I  
H 0 1 L 29/78 3 7 1 5 F 0 8 3  
27/10 4 3 4 5 F 1 0 1

テーマコード(参考)

審査請求 有 請求項の数24 O L (全 18 頁)

(21) 出願番号 特願2001-292128(P2001-292128)

(22) 出願日 平成13年9月25日(2001.9.25)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 蝦名 昭彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 井上 晋

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

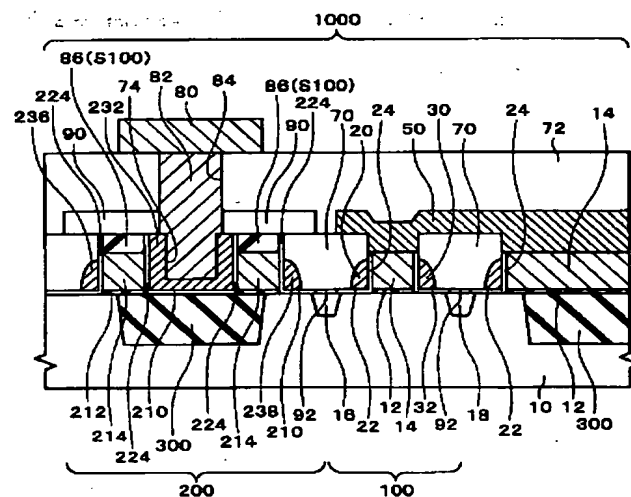
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、メモリセル100を含む。メモリセル100は、半導体基板10上に第2ゲート絶縁層12を介して形成されたワードゲート14と、不純物層16、18と、サイドウォール状の第1、第2コントロールゲート20、30とを有する。不純物層16、18を介して隣り合う1組の第1、第2コントロールゲートは、共通コンタクト部200に接続される。共通コンタクト部200は、コンタクト導電層232、ストッパ絶縁層86、およびキャップ絶縁層90を含む。コンタクト導電層232は、第1および第2コントロールゲート20、30と連続する。キャップ絶縁層90は、少なくともストッパ絶縁層86上に形成されている。



BEST AVAILABLE COPY

(2)

## 【特許請求の範囲】

【請求項1】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う1組の第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている、半導体装置。

【請求項2】 請求項1において、前記コンタクト導電層は、前記キャップ絶縁層の内側に、第2サイド絶縁層を介して配置されている、半導体装置。

【請求項3】 請求項1または2において、前記コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなる、半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成する、半導体装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなる、半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコン

タクトホールが形成され、前記コンタクトホールには、プラグ導電層が埋め込まれている、半導体装置。

【請求項7】 請求項2ないし6のいずれかにおいて、前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、前記コンタクト絶縁層は、前記第1ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項8】 請求項3ないし7のいずれかにおいて、前記第2サイド絶縁層は、前記第1サイド絶縁層と同一の材質からなる、半導体装置。

【請求項9】 請求項1ないし8のいずれかにおいて、前記ワードゲートと前記コントロールゲートとの間に位置する前記第1サイド絶縁層は、その上端が前記半導体層に対して前記コントロールゲートより上方に位置する、半導体装置。

【請求項10】 請求項1ないし9のいずれかにおいて、隣り合う前記第1および第2コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項12】 請求項11において、前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

【請求項13】 請求項1ないし12のいずれかにおいて、前記第1ゲート絶縁層および前記第1サイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜からなる、半導体装置。

【請求項14】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、

前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストップ層を形成する工程、前記第1導電層および前記ストップ層をパターンニングして、ゲート層を形成する工程、

少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、

前記ゲート層の両側面に第1サイド絶縁層を形成する工程、

前記メモリセルアレイの形成領域に第2導電層を形成する工程、

共通コンタクト部の形成領域に対応する前記第2導電層

(3)

3

上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、

前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストップ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、

ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、

前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストップ層をパターニングして、前記ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストップ絶縁層を形成する工程。

【請求項15】 請求項14において、前記ゲート層をパターニングする工程は、前記ストップ絶縁層を前記第1導電層の上方に形成する工程を含む、半導体装置の製造方法。

【請求項16】 請求項14または15において、さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含む、半導体装置の製造方法。

【請求項17】 請求項14ないし16のいずれかにおいて、窒化シリコンを主成分とする材料から前記ストップ層を形成し、

酸化シリコンを主成分とする材料から前記第3絶縁層を形成する、半導体装置の製造方法。

【請求項18】 請求項15ないし17のいずれかにおいて、

前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなる、半導体装置の製造方法。

【請求項19】 請求項15ないし18のいずれかにおいて、

前記コンタクト導電層は前記コントロールゲートと同一の成膜工程で形成される、半導体装置の製造方法。

【請求項20】 請求項15ないし19のいずれかにおいて、

4

前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、

前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、

前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる、半導体装置の製造方法。

10 【請求項21】 請求項15ないし21のいずれかにおいて、

前記第1サイド絶縁層を、その上端が前記半導体層に対して前記コントロールゲートより上方に位置するように形成する、半導体装置の製造方法。

【請求項22】 請求項15ないし22のいずれかにおいて、

前記第2絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

20 【請求項23】 請求項15ないし23のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

【請求項24】 請求項15ないし24のいずれかにおいて、

前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つのワードゲートに対して2つの電荷蓄積領域を有する不揮発性記憶装置がアレイ状に配置された半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】不揮発性半導体記憶装置のひとつのタイプとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層膜からなり、前記窒化シリコン層に電荷がトラップされるMONOS (Metal Oxide Nitride Oxide Semiconductor) 型もしくはSONOS (Silicon Oxide Nitride Oxide Silicon) 型と呼ばれるタイプがある。

【0003】MONOS型の不揮発性半導体記憶装置とし

て、図15に示すデバイスが知られている (文献: Y. Hayashi, et al., 2000 Symposium on VLSI Technology Digest of Technical Papers p. 122 - p. 123)。

50

(4)

5

【0004】このMONOS型のメモリセル100は、半導体基板10の上方に第2ゲート絶縁層12を介してワードゲート14が形成されている。そして、ワードゲート14の両サイドには、それぞれサイドウォール状の第1コントロールゲート20と第2コントロールゲート30とが配置されている。第1コントロールゲート20の底部と半導体基板10との間には、第1ゲート絶縁層22が存在し、第1コントロールゲート20の側面とワードゲート14との間には絶縁層24が存在する。同様に、第2コントロールゲート30の底部と半導体基板10との間には、第1ゲート絶縁層32が存在し、第2コントロールゲート30の側面とワードゲート14との間には絶縁層34が存在する。そして、隣り合うメモリセルの、対向するコントロールゲート20とコントロールゲート30との間の半導体基板10には、ソース領域またはドレイン領域を構成する不純物層16、18が形成されている。

【0005】このように、ひとつのメモリセル100は、ワードゲート14の側面に2つのMONOS型メモリ素子を有する。また、これらの2つのMONOS型メモリ素子は独立に制御される。したがって、ひとつのメモリセル100は、2ビットの情報を記憶することができる。

【0006】本発明の目的は、2つの電荷蓄積領域を有するMONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】（半導体装置）本発明にかかる半導体装置は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う1組の第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくと

6

も前記ストップ絶縁層の上方に形成されている。

【0008】本発明にかかる半導体装置によれば、サイドウォール状のコントロールゲートは、1組ごとに、共通コンタクト部に接続されているので、幅の小さいコントロールゲートとの電氣的接続を確実にとることができる。

【0009】本発明の半導体装置は、以下の各種態様をとりうる。

【0010】（A）前記コンタクト導電層は、前記キャップ絶縁層の内側に、第2サイド絶縁層を介して配置されることができる。なお、この場合、前記第2サイド絶縁層を、前記第1サイド絶縁層と同一の材質から形成することができる。

【0011】また、この場合、前記コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなることができる。

【0012】（B）前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成することができる。

【0013】（C）前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなることができる。

【0014】（D）前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールが形成され、前記コンタクトホールに、プラグ導電層を埋め込むことができる。

【0015】（E）前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、前記コンタクト絶縁層は、前記第1ゲート絶縁層と同一の材質からなることができる。

【0016】（F）前記ワードゲートと前記コントロールゲートとの間に位置する前記第1サイド絶縁層の上端を、前記半導体層に対して前記コントロールゲートより上方に位置させることができる。この構成により、前記コントロールゲートを覆う埋込み絶縁層を確実に形成できる。すなわち、隣り合う前記第1および第2コントロールゲートは、埋込み絶縁層によって覆われ、該埋込み絶縁層は、前記第1および第2コントロールゲートに接して配置された、対向する2つの前記サイド絶縁層の相互間に形成される。

【0017】（G）隣り合う前記第1および第2コントロールゲートを、絶縁層によって埋め込むことができる。

【0018】（H）前記共通コンタクト部は、前記不純物層の端部に隣接して設けることができる。そして、前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部

(5)

7

とにおいて交互に設けることができる。

【0019】(1)前記第1ゲート絶縁層および第1サイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜から構成できる。

【0020】(半導体装置の製造方法)本発明にかかる製造方法は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む。

【0021】半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストッパ層を形成する工程、前記第1導電層および前記ストッパ層をパターンニングして、ゲート層を形成する工程、少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、前記ゲート層の両側面に第1サイド絶縁層を形成する工程、前記メモリセルアレイの形成領域に第2導電層を形成する工程、共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストッパ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパ

ターニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストッパ層をパターンニングして、前記ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストッパ絶縁層を形成する工程。

【0022】本発明にかかる半導体装置の製造方法によれば、サイドウォール状の第1および第2コントロールゲートとともに、共通コンタクト部を形成でき、この共通コンタクト部を介して確実な電氣的接続をとることができる。

【0023】本発明にかかる製造方法においては、さらに以下に例示する態様をとることができる。

【0024】(a)前記ゲート層をパターンニングする工程は、前記ストッパ絶縁層を前記第1導電層の上方に形成する工程を含むことができる。

【0025】この場合、前記コンタクト導電層は前記コントロールゲートと同一の成膜工程で形成されることが

8

できる。

【0026】また、この場合、前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる。

【0027】(b)さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含むことができる。

【0028】(c)窒化シリコンを主成分とする材料から前記ストッパ層を形成し、酸化シリコンを主成分とする材料から前記第3絶縁層を形成することができる。

【0029】(d)前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなることができる。

【0030】(e)前記第1サイド絶縁層の上端を、前記半導体層に対して前記コントロールゲートより上方に位置するように形成することができる。

【0031】(f)前記第2絶縁層を化学的機械的研磨法(以下、「CMP法」という)によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートを、埋込み絶縁層によって覆われるように形成することができる。

【0032】(g)前記共通コンタクト部を、前記不純物層の端部に隣接して形成することができる。また、前記共通コンタクト部を、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成することができる。

【0033】

【発明の実施の形態】図1は、本発明の実施の形態に係る半導体装置を構成するメモリセルアレイのレイアウトを模式的に示す平面図であり、図2は、本実施の形態に係る半導体装置の一部分を模式的に示す平面図であり、図3は、図2のA-A線に沿った部分を模式的に示す断面図である。

【0034】本実施の形態に係る半導体装置は、MONOS型不揮発性記憶装置(以下、「メモリセル」という)100が複数の行および列に格子状に配列されたメモリセルアレイ1000を含む。また、このメモリセルアレイ1000は、複数のブロックに分割されている。

【0035】(デバイス構造)まず、図1を参照しながら、本実施の形態に係る半導体装置のレイアウトについて説明する。

(6)

9

【0036】図1においては、第1のブロックB1と、これに隣接する第2のブロックB2とが示されている。第1のブロックB1と第2のブロックB2との間の一部領域には、素子分離領域300が形成されている。各ブロックB1、B2においては、X方向（行方向）に延びる複数のワード線50（WL）と、Y方向（列方向）に延びる複数のビット線60（BL）とが設けられている。一本のワード線50は、X方向に配列された複数のワードゲート14に接続されている。ビット線60は不純物層16、18によって構成されている。

【0037】第1および第2コントロールゲート20、30を構成する導電層40は、各不純物層16、18を囲むように形成されている。すなわち、第1および第2コントロールゲート20、30は、それぞれY方向に延びており、1組の第1、第2コントロールゲート20、30の一方の端部は、X方向に延びる導電層によって互いに接続されている。また、1組の第1、第2コントロールゲート20、30の他方の端部はともに、1つの共通コンタクト部200に接続されている。したがって、各第1、第2コントロールゲート20、30は、メモ

セルのコントロールゲートの機能と、Y方向に配列された各コントロールゲートを接続する配線としての機能とを有する。

【0038】また、この共通コンタクト部200は、図1に示すように、不純物層16、18の端部に隣接して設けられている。さらに、この共通コンタクト部200は、不純物層16、18に対して、不純物層16、18の一方の側の端部と他方の側の端部とにおいて交互に設けられている。

【0039】単一のメモセル100は、1つのワードゲート14と、このワードゲート14の両側に形成された第1、第2コントロールゲート20、30と、これらのコントロールゲート20、30の外側であって、半導体基板内に形成された不純物層16、18とを含む。そして、不純物層16、18は、それぞれ隣り合うメモセル100によって共有される。

【0040】Y方向に互いに隣り合う不純物拡散層16であって、ブロックB1に形成された不純物層16とブロックB2に形成された不純物層16とは、半導体基板内に形成されたコンタクト用不純物層400によって互いに電氣的に接続されている。このコンタクト用不純物層400は、不純物16に対し、コントロールゲートの共通コンタクト部200とは反対側に形成される。

【0041】このコンタクト用不純物層400上には、コンタクト350が形成されている。不純物層16によって構成されたビット線60は、このコンタクト350によって、上層の配線層に電氣的に接続される。

【0042】同様に、Y方向に互いに隣り合う2つの不純物層18は、共通コンタクト部200が配置されていない側において、図示しないコンタクト用不純物層によ

10

って互いに電氣的に接続されている。

【0043】図1からわかるように、1つのブロックにおいて、複数の共通コンタクト部200の平面レイアウトは千鳥配置となる。同様に、1つのブロックにおいて、複数のコンタクト用不純物層400の平面レイアウトは千鳥配置となる。

【0044】次に、図2および図3を参照しながら、半導体装置の平面構造および断面構造について説明する。

【0045】メモセル100は、半導体基板10の上方に第2ゲート絶縁層12を介して形成されたワードゲート14と、半導体基板10内に形成された、ソース領域またはドレイン領域を構成する不純物層16、18と、ワードゲート14の両側に沿ってそれぞれ形成された、サイドウォール状の第1および第2のコントロールゲート20、30とを含む。また、不純物層16、18上には、シリサイド層92が形成されている。

【0046】第1コントロールゲート20は、半導体基板10の上方に第2ゲート絶縁層12を介して配置され、かつ、ワードゲート14の一方の側面に対して第1サイド絶縁層24を介して配置されている。同様に、第2コントロールゲート30は、半導体基板10に対して第2ゲート絶縁層32を介して配置され、かつ、ワードゲート14の他方の側面に対して第1サイド絶縁層34を介して配置されている。

【0047】そして、第1ゲート絶縁層22、32および第1サイド絶縁層24、34は、ONO膜である。具体的には、第1酸化シリコン層（ボトム酸化シリコン層）、窒化シリコン層、第2酸化シリコン層（トップ酸化シリコン層）の積層膜である。

【0048】第1ゲート絶縁層22、32の第1酸化シリコン層は、チャネル領域と電荷蓄積領域との間に電位障壁(potential barrier)として機能する。

【0049】第1ゲート絶縁層22、32の窒化シリコン層は、キャリア（例えば電子）をトラップする電荷蓄積領域として機能する。

【0050】第1ゲート絶縁層22、32の第2酸化シリコン層は、コントロールゲートと電荷蓄積領域との間に電位障壁(potential barrier)を形成する。

【0051】第1サイド絶縁層24、34は、ワードゲート14と、第1、第2コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、第1サイド絶縁層24、34の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、第1、第2コントロールゲート20、30の上端に比べ、半導体基板10に対して上方に位置している。

【0052】本実施の形態では、第1サイド絶縁層24、34と第1ゲート絶縁層22、32とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。さらに、第1サイド絶縁層24、34は、その上端が半導体基板10に対して第1、第2コントロールゲート2

(7)

11

0、30より上方に位置するように形成されている。そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。本実施の形態においては、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって埋め込まれている。この埋め込み絶縁層70は、少なくとも第1、第2コントロールゲート20、30が露出しないようにこれらを覆っている。具体的には、埋め込み絶縁層70の上面は、第1サイド絶縁層24、34の上端より半導体基板10に対して上方に位置している。埋め込み絶縁層70をこのように形成することで、第1、第2コントロールゲート20、30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

【0053】共通コンタクト部200には、第1、第2コントロールゲート20、30に所定の電位を供給するための導電層が形成される。共通コンタクト部200は、主に、コンタクト導電層232、ストップパ絶縁層86、およびキャップ絶縁層90を含む。

【0054】コンタクト導電層232は、ストップパ絶縁層86および導電層214の内側に第2サイド絶縁層224を介して配置されている。コンタクト導電層232は、第1、第2コントロールゲート20、30の形成と同一の成膜工程によって、第1、第2コントロールゲート20、30と連続するように形成されている。したがって、コンタクト導電層232と、第1、第2コントロールゲート20、30とは、同一の材質で形成されている。

【0055】また、このコンタクト導電層232は、半導体基板10の上方に、コンタクト絶縁層210を介して配置されている。さらに、このコンタクト導電層232によって凹部74が構成され、この凹部74には、後述するプラグ導電層82が埋め込まれている。

【0056】また、キャップ絶縁層90、ワード線50、およびこれらが形成されていない埋め込み絶縁層70上には、層間絶縁層72が形成されている。そして、コンタクト導電層232によって形成される凹部74上には、キャップ絶縁層90および層間絶縁層72を貫通するコンタクトホール84が形成されている。すなわち、このコンタクトホール84は、キャップ絶縁層90および層間絶縁層72を貫通して、コンタクト導電層232へと到達している。このコンタクトホール84内に、タングステンプラグまたは銅プラグからなるプラグ導電層82が埋め込まれている。

【0057】ストップパ絶縁層86は、図3に示すように、コンタクト導電層232の外側に配置されている。また、ストップパ絶縁層86は、後述する導電層214上に形成されている。ストップパ絶縁層86は、例えば窒化シリコンを主成分とする材料からなる。本実施の形態においては、コンタクト導電層232の上面と、ストップ

12

絶縁層86の上面とが、ほぼ平面を構成するように形成することができる。

【0058】キャップ絶縁層90は、少なくともストップパ絶縁層86上に形成される。キャップ絶縁層90は、例えば酸化シリコンを主成分とする材料からなる。

【0059】また、共通コンタクト部200は、さらに、導電層214、および導電層236、238を含む。

【0060】導電層214は、ワードゲート14と同一の成膜工程で形成される。この場合、導電層214は、ワードゲート14と同一の材質から形成される。本実施の形態においては、導電層214は、半導体基板10の上方に、絶縁層212を介して配置されている。

【0061】共通コンタクト部200を構成する絶縁層212は、メモリセル100を構成する第2ゲート絶縁層12と同一工程で形成され、かつ同一の層構造を有する。また、共通コンタクト部200を構成するコンタクト絶縁層210およびおよび第2サイド絶縁層224は、メモリセル100を構成する第1ゲート絶縁層22、32および第1サイド絶縁層24、34と同一工程で形成され、かつ同一の層構造を有する。すなわち、コンタクト絶縁層210およびおよび第2サイド絶縁層224は、第1ゲート絶縁層22、32および第1サイド絶縁層24、34と同様に、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜から構成される。

【0062】また、図3に示すように、共通コンタクト部200はさらに、サイドウォール状の導電層236、238を含む。この導電層236は、第1コントロールゲート20と連続している。ここで、導電層236と連続する第1コントロールゲート20は、コンタクト導電層232と連続する第2コントロールゲート30と隣り合っている。また、導電層238は、第2コントロールゲート30と連続している。ここで、導電層238と連続する第2コントロールゲート30は、コンタクト導電層232と連続する第1コントロールゲート20と隣り合っている。

【0063】導電層236、238はそれぞれ、導電層214の一側面に、第2サイド絶縁層224を介して配置される。この導電層236、238は、第1および第2コントロールゲート20、30やコンタクト導電層232と同一の成膜工程から形成され、これらの層と同一の材質からなる。

【0064】なお、本実施の形態の半導体装置においては、導電層236、238がサイドウォール状である場合を示したが、導電層236、238の形状はこれに限定されるわけではない。

【0065】本実施の形態にかかる半導体装置によれば、メモリセルアレイ1000において、サイドウォール状の第1、第2コントロールゲート20、30は、1

(8)

13

組ごとに、共通コンタクト部200と接続されている。この共通コンタクト部200は、コンタクト導電層232、このコンタクト導電層の外側に形成されたストップ絶縁層86、およびキャップ絶縁層90を含み、キャップ絶縁層90が、少なくともストップ絶縁層86上に形成されていることにより、これらのコントロールゲートとの電氣的接続を確実にとることができる。すなわち、本実施の形態の半導体装置のコントロールゲート20、30は、サイドウォール状の形状を有し、その幅は通常0.1μmより小さい。したがって、コンタクト導電層232によって、コントロールゲート20、30と共通コンタクト部200との電氣的接続を確保することができる。その結果、コントロールゲートとの電氣的コンタクトを上記の共通コンタクト部によって必要最小限の面積で確保することができる。

【0066】（半導体装置の製造方法）次に、図4～図14を参照しながら、本実施の形態に係る半導体装置の製造方法について説明する。各断面図は、図2のA-A線に沿った部分に対応する。図4～図14において、図1～図3で示す部分と実質的に同一の部分には同一の符号を付し、重複する記載は省略する。

【0067】（1）図4に示すように、まず、図1に示すメモリセルアレイ1000が形成される領域（以下、「メモリセルアレイの形成領域」という）1000aにおいて、半導体基板10の表面に、LOCOS法あるいはトレンチアイソレーション法などによって素子分離領域300を形成する。ついで、イオン注入によって、コンタクト用不純物層400（図1参照）を半導体基板10内に形成する。

【0068】ついで、半導体基板10の表面に、第1ゲート絶縁層となる第1絶縁層120を形成する。次いで、ワードゲート14と導電層214となる第1導電層140を、第1絶縁層120上に堆積する。第1導電層140はドーフトポリシリコンからなる。次いで、後のCMP工程におけるストップ層S100を第1導電層140上に形成する。ストップ層S100は、たとえば窒化シリコン層からなる。

【0069】（2）ついで、公知のリソグラフィおよびエッチングによって第1導電層140およびストップ層S100をパターニングする。この工程により、後にワードゲートとなるゲート層140aが形成される。このパターニングにおいては、メモリセルアレイの形成領域1000aにおいて、ゲート層140aおよびストップ層S100の積層体が、半導体基板10上に全面的に形成される。パターニング後の様子を平面的に示したのが図6である。このパターニングによって、メモリ領域1000内のゲート層140aおよびストップ層S100の積層体は、開口部160、180が設けられる。開口部160、180は、後のイオン注入によって不純物層16、18が形成される領域にほぼ対応している。そ

14

して、後の工程で、開口部160、180の側面に沿って第1サイド絶縁層24、34と第1、第2コントロールゲート20、30とが形成される。

【0070】（3）図7に示すように、半導体基板10上に、ONO膜220を全面的に形成する。ONO膜220は、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層を順次堆積させることで形成される。第1酸化シリコン層は、たとえば熱酸化法、CVD法を用いて成膜することができる。窒化シリコン層は、たとえばCVD法などによって成膜することができる。第2酸化シリコン層は、CVD法、具体的には高温酸化法（HTO）を用いて成膜することができる。これらの各層を成膜した後、アニール処理を行い、各層を緻密化することが好ましい。

【0071】ONO膜220は、後のパターニングによって、第1ゲート絶縁層22および第1サイド絶縁層24、ならびに共通コンタクト部200のコンタクト絶縁層210および第2サイド絶縁層224となる（図3参照）。

【0072】（4）図8に示すように、メモリセルアレイの形成領域1000aにおいて、ドーフトポリシリコン層（第2導電層）230を、ONO膜220上に全面的に形成する。このドーフトポリシリコン層230から、パターニングおよびエッチング工程などを経て、第1、第2コントロールゲート20、30を構成する導電層40（図1参照）、ならびに共通コンタクト部200を構成するコンタクト導電層232、導電層236、238（図3参照）が形成される。

【0073】ついで、共通コンタクト部が形成される領域（以下、「共通コンタクト部の形成領域」という）200aに、レジスト層R100を形成する。この実施の形態では、このレジスト層R100は、図8に示すように、共通コンタクト部の形成領域200aにほぼ対応した位置に設けられる。このレジスト層R100は、少なくとも、後の工程で形成するコンタクト導電層232が形成される領域上に形成される。

【0074】（5）図9に示すように、ドーフトポリシリコン層230（図8参照）を、レジスト層R100をマスクとして全面的に異方性エッチングすることにより、第1、第2コントロールゲート20、30、コンタクト導電層230a、導電層236、238が形成される。ここで、コンタクト導電層230a、導電層236、238は、共通コンタクト部の形成領域200aに形成される。

【0075】すなわち、このエッチング工程によって、露出した開口部160、180（図6参照）の側面に沿って、サイドウォール状の第1、第2コントロールゲート20、30、導電層236、238が形成される。そして、これと同時に、レジスト層R100でマスクされた部分には、コンタクト導電層230aが形成される。



(9)

15

ここで、このコンタクト導電層230aは、第1、第2コントロールゲート20、30と連続するように形成される。さらに、上記のエッチングによって、後の工程でシリサイド層が形成される領域に堆積された絶縁層は除去され、半導体基板10が露出する。ついで、レジスト層R100は除去される。

【0076】(6) 次いで、図10に示すように、N型不純物をイオン注入することにより、半導体基板10内に、ソース領域またはドレイン領域を構成する不純物層16、18を形成する。

【0077】次いで、シリサイド形成用の金属を全面的に堆積させる。シリサイド形成用の金属とは、例えば、チタン、コバルトである。その後、不純物層16、18上に形成された金属をシリサイド化反応させることにより、不純物層16、18の上面にシリサイド層92を形成させる。したがって、このシリサイド化工程によって、メモリセル100は、ソース領域またはドレイン領域の表面が自己整合的にシリサイド化される。

【0078】次いで、メモリセルアレイの形成領域1000aにおいて、酸化シリコンまたは窒化酸化シリコンなどの絶縁層(第2絶縁層)70を全面的に形成する。絶縁層70は、ストップ層S100を覆い、かつ第1、第2コントロールゲート20、30の間やコンタクト導電層230aの隙間を埋め込むように形成される。

【0079】(7) 図11に示すように、CMP法を用いて、絶縁層70をストップ層S100が露出するまで研磨し、絶縁層70を平坦化する。この研磨によって、第1、第2コントロールゲート20、30をはさんで対向する2つの第1サイド絶縁層24の間に絶縁層70が残存して、埋込み絶縁層70となる。また、この工程により、コンタクト導電層230aの上部が除去されて、共通コンタクト部の形成領域200a内にコンタクト導電層232が形成される。

【0080】このとき、ゲート層140aおよびストップ層S100の側面に形成された第1サイド絶縁層24、34の上端は、第1、第2コントロールゲート20、30の上端に比べ、半導体基板10に対して上方に位置する。

【0081】この工程によって、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって完全に覆われる。また、共通コンタクト部の形成領域200aにおいて、コンタクト導電層232の上面が露出した状態となる。さらに、コンタクト導電層232から構成される凹部74は、埋め込み絶縁層70で埋め込まれた状態となる。

【0082】(8) 次いで、図12に示すように、メモリセルアレイの形成領域1000aにおいて、キャップ絶縁層90を形成するための第3絶縁層90aを全面に形成する。続いて、第3絶縁層90a上に、パターニングされたレジスト層R200を形成する。このレジスト

16

層R200をマスクとして、第3絶縁層90aをパターニングして、図13に示すように、共通コンタクト部の形成領域200aにキャップ絶縁層90を形成する。次いで、レジスト層R200が除去される。

【0083】次いで、メモリセルアレイの形成領域1000aにおいて、第3導電層(図示せず)を全面に形成する。第3導電層(図示せず)を全面に形成した後、第3導電層上に、パターニングされたレジスト層R300を形成する。このレジスト層R300をマスクとして、前記第3導電層をパターニングして、ワード線50を形成する。前記第3導電層としては、ドーフトポリシリコン層、金属層、シリサイドなどの合金層、あるいはこれらのうちの2層以上を積層した層を用いることができる。さらに、レジスト層R300をマスクとして、ドーフトポリシリコンからなるゲート層140a(図12参照)をパターニングすることにより、アレイ状に配列したワードゲート14を形成とともに、ストップ絶縁層86が上部に形成された導電層214を形成する。次いで、レジスト層R300が除去される。

【0084】なお、このエッチング工程では、第1および第2コントロールゲート20、30や、導電層236、238は、絶縁層70で覆われているため、エッチングされずに残る。

【0085】次いで、P型不純物を半導体基板10に全面的にドーピングする。これにより、Y方向におけるワードゲート14の相互間の領域にP型不純物層(素子分離用不純物層)15(図2参照)が形成される。この素子分離用不純物層15は、不揮発性記憶装置の導電型と逆の導電型からなる。このP型不純物層15によって、メモリセル100相互の素子分離がより確実に行われる。

【0086】(9) 次いで、層間絶縁層を積層した後、公知の方法でコンタクトホールを形成し、コンタクトホール内に導電層を形成した後、該導電層と電氣的に接続される配線層を形成する。たとえば、図3に示すように、コンタクト導電層232上に、キャップ絶縁層90および層間絶縁層72を貫通するコンタクトホール84を形成し、このコンタクトホール84にプラグ導電層82を埋め込んだ後、プラグ導電層82と接続される配線層80を形成する。なお、コンタクトホール84を形成する工程において、コンタクト導電層232から構成される凹部74に埋め込まれている絶縁層70を除去した後、プラグ導電層82を凹部74に埋め込む。

【0087】以上の工程により、図1、図2および図3に示す半導体装置を製造することができる。

【0088】本実施の形態の半導体装置の製造方法によれば、特に工程数を増加させることなく、サイドウォール状の第1、第2コントロールゲート20、30とともに共通コンタクト部200を形成できる。そして、共通コンタクト部200は、少なくとも不純物層16、18の幅に近いサイズを有することができ、十分に大きなコ

(10)

17

ンタクト面積を確保できる。したがって、本実施の形態では、充分なコンタクト領域をとりにくいサイドウォール状のコントロールゲート20、30であっても、共通コンタクト部200を介して確実な電氣的接続をとることができる。

【0089】また、本実施の形態の半導体装置の製造方法によれば、コンタクト導電層232上にプラグ導電層82が形成される。ここで、コンタクト導電層232の外側にストッパ絶縁層86が設置されていることにより、このプラグ導電層82を形成する際におけるアライメント余裕を確保することができる。

【0090】以上、本発明の一実施の形態について述べたが、本発明はこれに限定されず、本発明の発明の要旨の範囲内で種々の態様をとりうる。たとえば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI基板の半導体層を用いてもよい。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態にかかる半導体装置のレイアウトを模式的に示す平面図である。

【図2】本発明の実施の形態にかかる半導体装置の要部を模式的に示す平面図である。

【図3】図2のA-A線に沿った部分を模式的に示す断面図である。

【図4】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図5】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図6】図5に示す半導体装置の製造方法の一工程を示す平面図である。

【図7】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図8】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図9】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図10】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図11】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図12】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図13】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図14】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図15】公知のMONOS型メモリセルを示す断面図である。

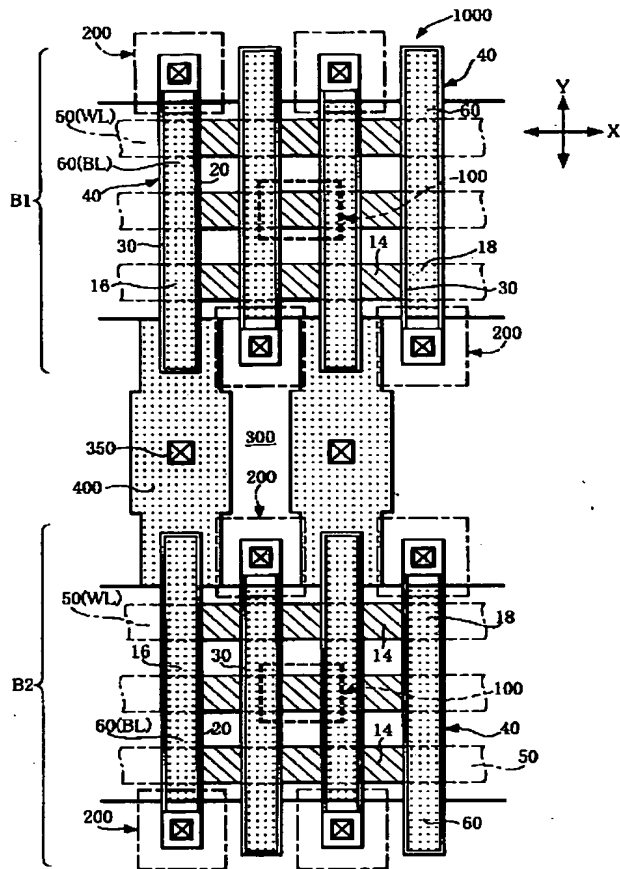
#### 【符号の説明】

18

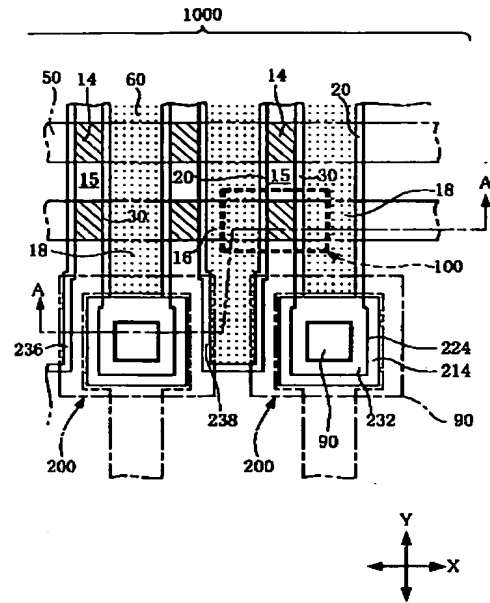
10 半導体基板  
 12 第2ゲート絶縁層  
 14 ワードゲート  
 15 素子分離用不純物層  
 16, 18 不純物層  
 20 第1コントロールゲート  
 22, 32 第1ゲート絶縁層  
 24, 34 第1サイド絶縁層  
 30 第2コントロールゲート  
 40 導電層  
 50 ワード線  
 60 ビット線  
 70 埋め込み絶縁層(第2絶縁層)  
 72 層間絶縁層  
 74 凹部  
 80 配線層  
 82 プラグ導電層  
 84 コンタクトホール  
 86 ストッパ絶縁層  
 90 キャップ絶縁層  
 90a 第3絶縁層  
 92 シリサイド層  
 100 不揮発性記憶装置(メモリセル)  
 120 第2ゲート絶縁層(第1絶縁層)  
 122 ゲート絶縁層  
 140 第1導電層  
 140a ゲート層  
 160, 180 開口部  
 200 共通コンタクト部  
 200a 共通コンタクト部の形成領域  
 210 コンタクト絶縁層  
 212 絶縁層  
 214 導電層  
 220 ONO膜(誘電体層)  
 224 第2サイド絶縁層  
 230 ドープドポリシリコン層(第2導電層)  
 230a コンタクト導電層  
 232 コンタクト導電層  
 236 導電層  
 238 導電層  
 300 素子分離領域  
 350 コンタクト  
 400 コンタクト用不純物層  
 S100 ストッパ層  
 R100, R200, R300 レジスト層  
 1000 メモリセルアレイ  
 1000a メモリセルアレイの形成領域

(11)

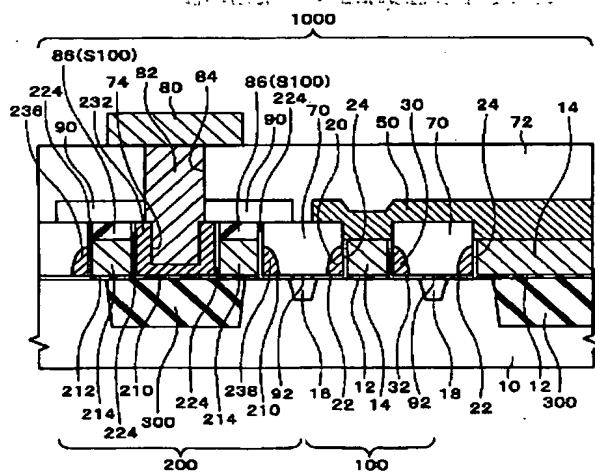
【図1】



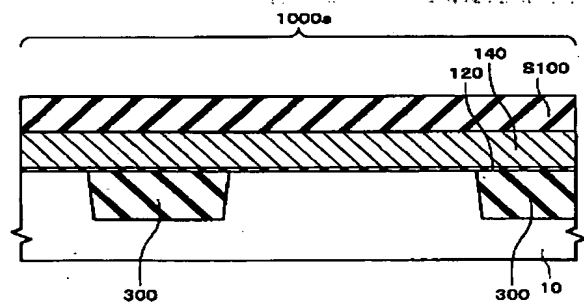
【図2】



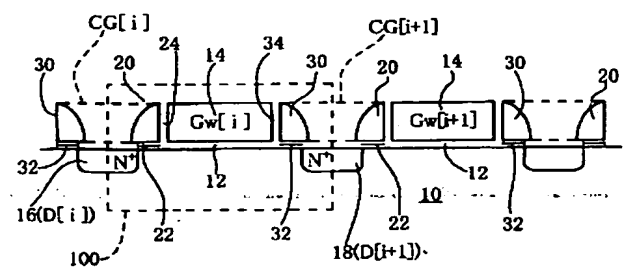
【図3】



【図4】

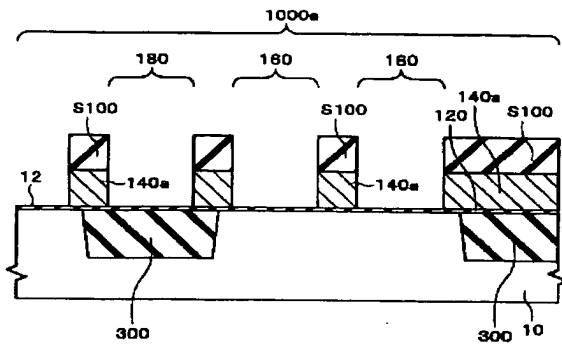


【図15】

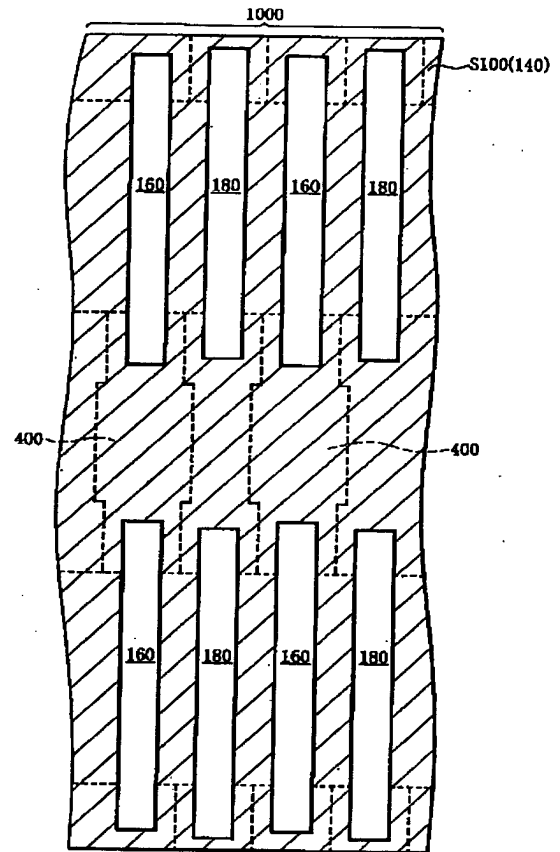


(12)

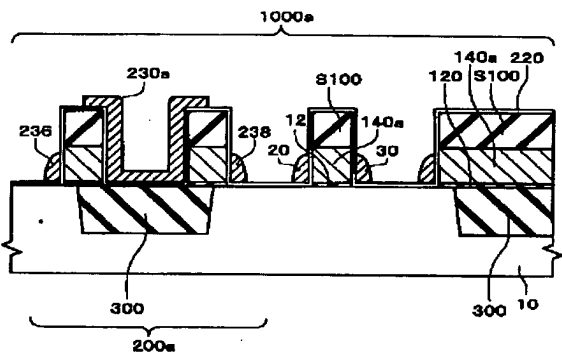
【図5】



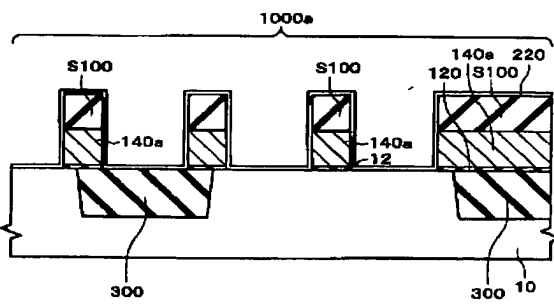
【図6】



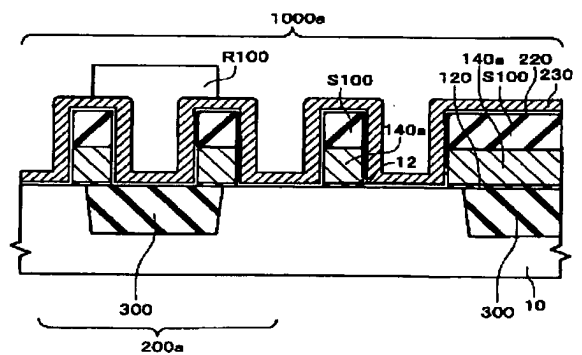
【図9】



【図7】

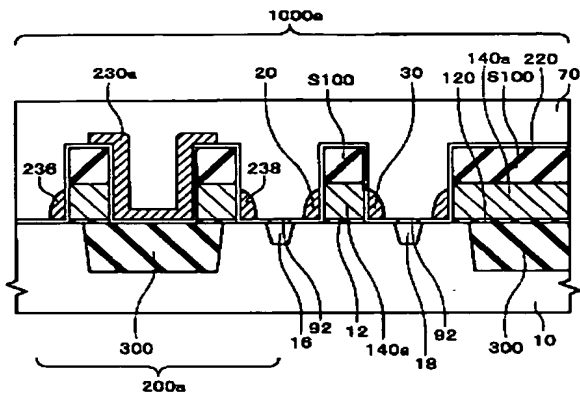


【図8】

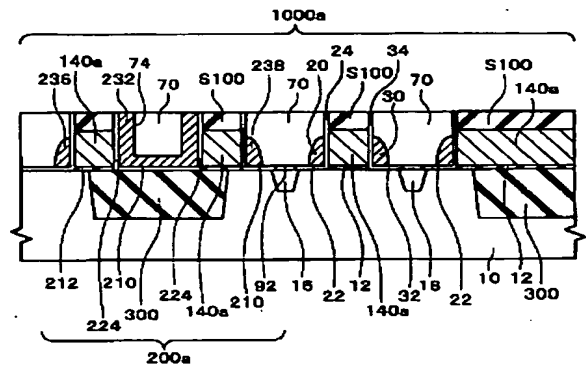


(13)

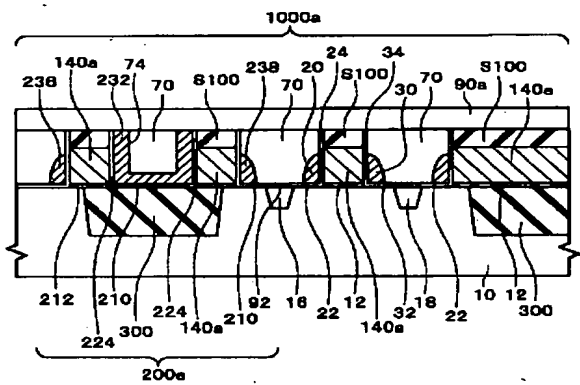
【図10】



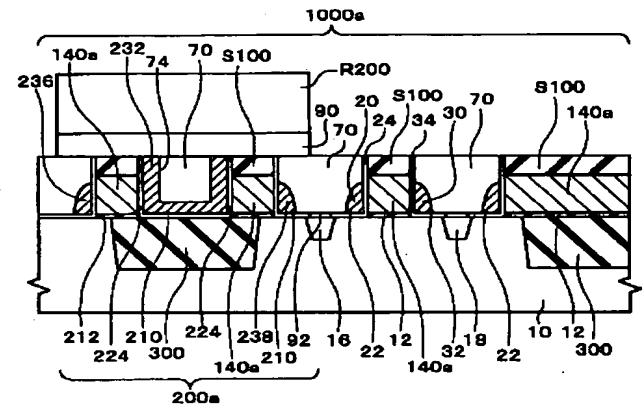
【図11】



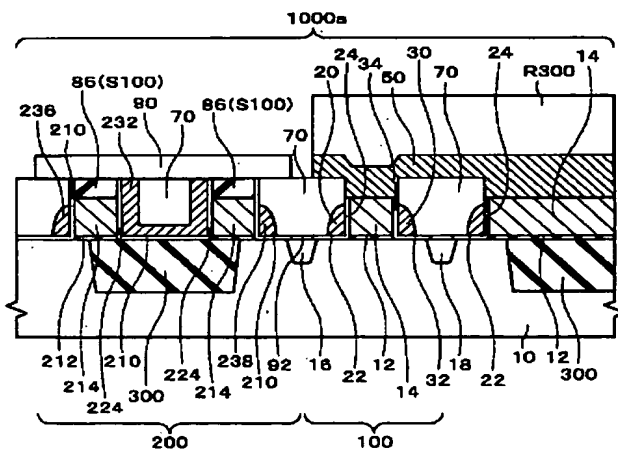
【図12】



【図13】



【図14】



(14)

## 【手続補正書】

【提出日】平成14年9月6日(2002.9.6)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている、半導体装置。

【請求項2】 請求項1において、前記コンタクト導電層は、前記キャップ絶縁層の内側に、第2サイド絶縁層を介して配置されている、半導体装置。

【請求項3】 請求項1または2において、前記コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなる、半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成する、半導体装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、

前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなる、半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、

前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールが形成され、

前記コンタクトホールには、プラグ導電層が埋め込まれている、半導体装置。

【請求項7】 請求項1ないし6のいずれかにおいて、前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、

前記コンタクト絶縁層は、前記第1ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項8】 請求項2ないし7のいずれかにおいて、前記第2サイド絶縁層は、前記第1サイド絶縁層と同一の材質からなる、半導体装置。

【請求項9】 請求項1ないし8のいずれかにおいて、前記第1サイド絶縁層は、その上端が前記第1および第2コントロールゲートより上方に位置する、半導体装置。

【請求項10】 請求項1ないし9のいずれかにおいて、隣り合う前記第1および第2コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項12】 請求項11において、前記共通コンタクト部が複数形成され、前記不純物層が複数配列され、

前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

【請求項13】 請求項1ないし12のいずれかにおいて、

前記第1ゲート絶縁層および前記第1サイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜からなる、半導体装置。

【請求項14】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、

前記第1絶縁層の上方に、第1導電層を形成する工程、

前記第1導電層の上方に、ストップ層を形成する工程、

前記第1導電層および前記ストップ層をパターンニングし

(15)

て、ゲート層を形成する工程、  
 少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、  
 前記ゲート層の両側面に第1サイド絶縁層を形成する工程、  
 前記メモリセルアレイの形成領域に第2導電層を形成する工程、  
 共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、  
 前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストップ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、  
 ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、  
 前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストップ層をパターニングして、ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストップ絶縁層を形成する工程。

【請求項15】 請求項14において、  
 前記ゲート層をパターニングする工程は、前記ストップ絶縁層を前記第1導電層の上方に形成する工程を含む、半導体装置の製造方法。

【請求項16】 請求項14または15において、  
 さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含む、半導体装置の製造方法。

【請求項17】 請求項14ないし16のいずれかにおいて、  
 窒化シリコンを主成分とする材料から前記ストップ層を形成し、  
 酸化シリコンを主成分とする材料から前記第3絶縁層を形成する、半導体装置の製造方法。

【請求項18】 請求項14ないし17のいずれかにおいて、  
 前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン

層、窒化シリコン層および第2酸化シリコン層の積層膜からなる、半導体装置の製造方法。

【請求項19】 請求項14ないし18のいずれかにおいて、  
 前記コンタクト導電層は前記第1および第2コントロールゲートと同一の成膜工程で形成される、半導体装置の製造方法。

【請求項20】 請求項14ないし19のいずれかにおいて、  
 前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、  
 前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、  
 前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる、半導体装置の製造方法。

【請求項21】 請求項14ないし20のいずれかにおいて、  
 前記第1サイド絶縁層を、その上端が前記コントロールゲートより上方に位置するように形成する、半導体装置の製造方法。

【請求項22】 請求項14ないし21のいずれかにおいて、  
 前記第2絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

【請求項23】 請求項14ないし22のいずれかにおいて、  
 前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

【請求項24】 請求項23において、  
前記共通コンタクト部を複数形成し、  
前記不純物層を複数配列させ、  
 前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】（半導体装置）本発明にかかる半導体装置は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート

(16)

絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

## 【補正内容】

【0008】本発明にかかる半導体装置によれば、サイドウォール状の前記第1および第2コントロールゲートは、1組ごとに、共通コンタクト部に接続されているので、幅の小さいコントロールゲートとの電気的接続を確実にとることができる。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

## 【補正内容】

【0016】(F) 前記ワードゲートと前記コントロールゲートとの間に位置する前記第1サイド絶縁層の上端を、前記第1および第2コントロールゲートより上方に位置させることができる。この構成により、前記第1および第2コントロールゲートを覆う埋込み絶縁層を確実に形成できる。すなわち、隣り合う前記第1および第2コントロールゲートは、埋込み絶縁層によって覆われ、該埋込み絶縁層は、前記第1および第2コントロールゲートに接して配置された、対向する2つの前記サイド絶縁層の相互間に形成される。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

## 【補正内容】

【0018】(H) 前記共通コンタクト部は、前記不純物層の端部に隣接して設けることができる。そして、前記共通コンタクト部が複数形成され、前記不純物層が複数配列され、前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けることができる。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

## 【補正内容】

【0021】半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストップ層を形成する工程、前記第1導電層および前記ストップ層をパターンニングして、ゲート層を形成する工程、少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、前記ゲート層の両側面に第1サイド絶縁層を形成する工程、前記メモリセルアレイの形成領域に第2導電層を形成する工程、共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストップ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストップ層をパターンニングして、ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストップ絶縁層を形成する工程。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

## 【補正内容】

【0025】この場合、前記コンタクト導電層は前記第1および第2コントロールゲートと同一の成膜工程で形



(17)

成されることができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】(e) 前記第1サイド絶縁層の上端を、前記第1および第2コントロールゲートより上方に位置するように形成することができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】(f) 前記第2絶縁層を化学的機械的研磨法(以下、「CMP法」という)によって研磨する工程において、前記不純物層を介して隣り合う前記第1および第2コントロールゲートを、埋込み絶縁層によって覆われるように形成することができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】(g) 前記共通コンタクト部を複数形成し、前記不純物層を複数配列させ、前記複数の共通コンタクト部を、前記不純物層の端部に隣接して形成することができる。また、前記共通コンタクト部を、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成することができる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】第1コントロールゲート20は、半導体基板10の上方に第2ゲート絶縁層12を介して配置され、かつ、ワードゲート14の一方の側面に対して第1サイド絶縁層24を介して配置されている。同様に、第2コントロールゲート30は、半導体基板10に対して第1ゲート絶縁層32を介して配置され、かつ、ワードゲート14の他方の側面に対して第1サイド絶縁層34を介して配置されている。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】第1サイド絶縁層24、34は、ワードゲ

ート14と、第1、第2コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、第1サイド絶縁層24、34の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、第1、第2コントロールゲート20、30の上端に比べ、上方に位置している。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】本実施の形態では、第1サイド絶縁層24、34と第1ゲート絶縁層22、32とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。さらに、第1サイド絶縁層24、34は、その上端が第1、第2コントロールゲート20、30より上方に位置するように形成されている。そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。本実施の形態においては、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって埋め込まれている。この埋め込み絶縁層70は、少なくとも第1、第2コントロールゲート20、30が露出しないようにこれらを覆っている。具体的には、埋め込み絶縁層70の上面は、第1サイド絶縁層24、34の上端より半導体基板10に対して上方に位置している。埋め込み絶縁層70をこのように形成することで、第1、第2コントロールゲート20、30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】(2) ついで、公知のリソグラフィーおよびエッチングによって第1導電層140およびストッパ層S100をパターンニングする。この工程により、後にワードゲート14となるゲート層140aが形成される。このパターンニングにおいては、メモリセルアレイの形成領域1000aにおいて、ゲート層140aおよびストッパ層S100の積層体が、半導体基板10上に全面的に形成される。パターンニング後の様子を平面的に示したのが図6である。このパターンニングによって、メモリセルアレイの形成領域1000a内のゲート層140aおよびストッパ層S100の積層体には、開口部160、180が設けられる。開口部160、180は、後のイオン注入によって不純物層16、18が形成される領域にほぼ対応している。そして、後の工程で、開口部160、180の側面に沿って第1サイド絶縁層24、

(18)

34と第1、第2コントロールゲート20、30とが形成される。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】ついで、共通コンタクト部200が形成される領域（以下、「共通コンタクト部の形成領域」という）200aに、レジスト層R100を形成する。この実施の形態では、このレジスト層R100は、図8に示すように、共通コンタクト部の形成領域200aにほぼ

対応した位置に設けられる。このレジスト層R100は、少なくとも、後の工程で形成するコンタクト導電層232が形成される領域上に形成される。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正内容】

【0080】このとき、ゲート層140aおよびストッパ層S100の側面に形成された第1サイド絶縁層24、34の上端は、第1、第2コントロールゲート20、30の上端に比べ、上方に位置する。

---

フロントページの続き

Fターム(参考) 5F083 EP18 EP35 HA02 JA37 JA39  
KA18 LA12 LA16 LA21 NA01  
NA08 PR40 ZA21  
5F101 BA45 BB04 BD22

【公開番号】特開2003-100917

【公報種別】特許法第17条の2の規定による補正の掲載

【ST公報種別】A5

【公開日】2003年(2003)4月4日

【出願番号】特願2001-292128

【発行日】2005年(2005)9月8日

【部門区分】第7部門第2区分

【国際特許分類第7版】

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

【FI】

H01L 29/78 371

H01L 27/10 434

【手続補正書】

【提出日】2005年(2005)3月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、  
前記不揮発性記憶装置は、  
半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、  
前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、  
前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、  
前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、  
前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、  
前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、  
前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、  
前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、  
前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、  
前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、  
前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている、半導体装置。

【請求項2】

請求項1において、

前記コンタクト導電層は、前記ストップ絶縁層の内側に、第2サイド絶縁層を介して配置されている、半導体装置。

【請求項3】

(2)

請求項 1 または 2 において、

前記コンタクト導電層は、前記第 1 および第 2 コントロールゲートと同一の材質からなる、半導体装置。

【請求項 4】

請求項 1 ないし 3 のいずれかにおいて、

前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成する、半導体装置。

【請求項 5】

請求項 1 ないし 4 のいずれかにおいて、

前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、

前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなる、半導体装置。

【請求項 6】

請求項 1 ないし 5 のいずれかにおいて、

前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、

前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールが形成され、

前記コンタクトホールには、プラグ導電層が埋め込まれている、半導体装置。

【請求項 7】

請求項 1 ないし 6 のいずれかにおいて、

前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、

前記コンタクト絶縁層は、前記第 1 ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項 8】

請求項 2 ないし 7 のいずれかにおいて、

前記第 2 サイド絶縁層は、前記第 1 サイド絶縁層と同一の材質からなる、半導体装置。

【請求項 9】

請求項 1 ないし 8 のいずれかにおいて、

前記第 1 サイド絶縁層は、その上端が前記第 1 および第 2 コントロールゲートより上方に位置する、半導体装置。

【請求項 10】

請求項 1 ないし 9 のいずれかにおいて、

隣り合う前記第 1 および第 2 コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項 11】

請求項 1 ないし 10 のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項 12】

請求項 11 において、

前記共通コンタクト部が複数形成され、

前記不純物層が複数配列され、

前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

【請求項 13】

請求項 1 ないし 12 のいずれかにおいて、

前記第 1 ゲート絶縁層および前記第 1 サイド絶縁層は、第 1 酸化シリコン層、窒化シリコン層、および第 2 酸化シリコン層の積層膜からなる、半導体装置。

【請求項 14】

不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

半導体層の上方に、第 2 ゲート絶縁層のための第 1 絶縁層を形成する工程、

(3)

6

前記第1絶縁層の上方に、第1導電層を形成する工程、  
前記第1導電層の上方に、ストップ層を形成する工程、  
前記第1導電層および前記ストップ層をパターンニングして、ゲート層を形成する工程、  
少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、  
前記ゲート層の両側面に第1サイド絶縁層を形成する工程、  
前記メモリセルアレイの形成領域に第2導電層を形成する工程、  
共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、  
前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストップ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、  
ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、  
前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および  
前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストップ層をパターンニングして、ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストップ絶縁層を形成する工程。  
【請求項15】  
請求項14において、  
前記ゲート層をパターンニングする工程は、前記ストップ絶縁層を前記第1導電層の上方に形成する工程を含む、半導体装置の製造方法。  
【請求項16】  
請求項14または15において、  
さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および  
前記コンタクトホールにプラグ導電層を埋め込む工程を含む、半導体装置の製造方法。  
【請求項17】  
請求項14ないし16のいずれかにおいて、  
窒化シリコンを主成分とする材料から前記ストップ層を形成し、  
酸化シリコンを主成分とする材料から前記第3絶縁層を形成する、半導体装置の製造方法。  
【請求項18】  
請求項14ないし17のいずれかにおいて、  
前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなる、半導体装置の製造方法。  
【請求項19】  
請求項14ないし18のいずれかにおいて、  
前記コンタクト導電層は前記第1および第2コントロールゲートと同一の成膜工程で形成される、半導体装置の製造方法。  
【請求項20】  
請求項14ないし19のいずれかにおいて、  
前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、  
前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、

(4)

前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、  
前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれ、  
製造方法。

## 【請求項21】

請求項14ないし20のいずれかにおいて、  
前記第1サイド絶縁層を、その上端が前記コントロールゲートより上方に位置するように形成する、半導体装置の製造方法。

## 【請求項22】

請求項14ないし21のいずれかにおいて、  
前記第2絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

## 【請求項23】

請求項14ないし22のいずれかにおいて、  
前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

## 【請求項24】

請求項23において、  
前記共通コンタクト部を複数形成し、  
前記不純物層を複数配列させ、  
前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

## 【0010】

(A) 前記コンタクト導電層は、前記ストップ絶縁層の内側に、第2サイド絶縁層を介して配置されることができ  
る。なお、この場合、前記第2サイド絶縁層を、前記第1サイド絶縁層と同一の材質から形成することができる。【手続補正

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

## 【0082】

(8) 次いで、図12に示すように、メモリセルアレイの形成領域1000aにおいて、キャップ絶縁層90を形成するための第3絶縁層90aを全面に形成する。続いて、第3絶縁層90a上に、パターニングされたレジスト層R200を形成する。このレジスト層R200をマスクとして、第3絶縁層90aをパターニングして、図13に示すように、共通コンタクト部の形成領域200aにキャップ絶縁層90を形成する。次いで、レジスト層R200が除去される。次いで、キャップ絶縁層90で覆われていない領域において、ストップ層S100を除去する(図13参照)。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**